

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-001917

(43)Date of publication of application : 08.01.1990

(51)Int.Cl.

H01L 21/3205
H01L 29/44

(21)Application number : 63-142975

(71)Applicant : NEC CORP

(22)Date of filing : 09.06.1988

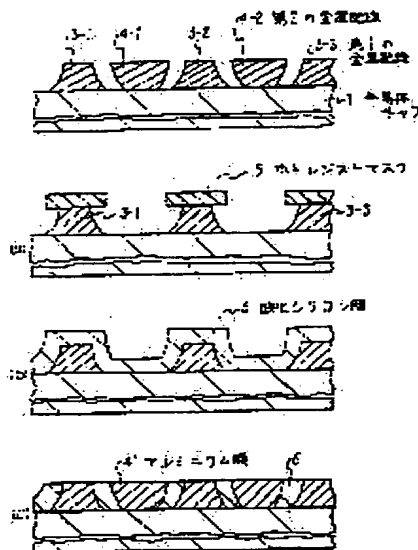
(72)Inventor : KUSAKARI TAKASHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To settle the problem due to fine wiring width (such as stress migration) by making the wiring width partly wider than that of the metallic wiring in rectangular sectional shape by a method wherein the mesa type or inverse mesa type metallic wirings are alternately and adjacently arranged.

CONSTITUTION: A semiconductor chip is coated with an aluminum film and then isotropical etching process is performed using photoresist masks to form the first mesa type metallic wirings 3-1.... Next, when the whole surface is covered with a silicon oxide film 6 by CVD process; the silicon oxide film between the first metallic wirings 3-1... is removed by the isotropical etching process; after coating the removed parts with an aluminum films 4', the whole surface is flattened by providing proper silica film, etc., to be etched; and the surface of the first metallic wirings 3-1... is exposed, the first mesa type metallic wirings 3-1... comprising the aluminum film and the second inverse mesa type metallic wirings 4-1... are alternately and adjacently arranged.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平2-1917

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月8日

H 01 L 21/3205
29/44

Z

7638-5F
6824-5F

H 01 L 21/88

A

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 昭63-142975

⑯ 出 願 昭63(1988)6月9日

⑰ 発 明 者 草 刈 隆 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

メサ状の第1の金属配線と逆メサ状の第2の金属配線が隣接して配置されていることを特徴とする半導体集積回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路に關し、特に金属配線の形状に關する。

〔従来の技術〕

従来、半導体集積回路の金属配線の断面形状は、第4図に示すように、長方形もしくはそれに近い形状であるため、配線幅及び配線間隔は金属配線の上部と下部でほぼ等しかった。

〔発明が解決しようとする課題〕

上述した従来の半導体集積回路は金属配線の断面の形状が長方形となっているので、微細化が進むと、それに比例して最大配線幅も微小化され、ストレスマイグレーションが発生し易いという欠点がある。

〔課題を解決するための手段〕

本発明の半導体集積回路は、メサ状の第1の金属配線と逆メサ状の第2の金属配線が隣接して配置されているというものである。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示す断面図である。

この実施例は、アルミニウム膜からなるメサ状の第1の金属配線3-1、…と逆メサ状の第2の金属配線4-1、…が交互に隣接して配置されているというものである。実際には、この上から層間絶縁膜又はパッシベーション膜で被覆されているのはいうまでもない。これらの金属配線の(上

辺+底辺) / 2 に等しい幅の長方形に比較すると、より幅の大きい部分を有しているので、ストレスマイグレーションが発生し難い。

次に、この実施例の製造方法について説明する。

第2図(a)～(c)は一実施例の製造方法を説明するための工程順に配置した断面図である。

まず、第2図(a)に示すように、半導体チップ1上にアルミニウム膜を被着し、ホトレジストマスク5を用いて等方性エッチングを行い、メサ状の第1の金属配線3-1、…を形成する。

次に、第2図(b)に示すように、CVD法で酸化シリコン膜6で全面を覆う。

次に、第2図(c)に示すように、第1の金属配線間の酸化シリコン膜を等方性エッチングにより除去し、アルミニウム膜4'を被着したのち、適宜シリカ膜などを設けて表面を平坦にしたのちエッチバックを行ない、第1の金属配線の表面を露出させる。

次いで、次工程へ進めてもよいし、間に残った

酸化シリコン膜を除去して第1図のようにしてから次工程へ進めてもよいのである。

第3図(a)～(d)は本発明の一実施例の他の製造方法を説明するための工程順に配置した半導体チップの断面図である。

まず、第3図(a)に示すように、半導体チップ1上にアルミニウム膜を被着し、ホトレジストマスク5を用いて、アルミニウム膜の厚さの半分程度まで等方性エッチングを行ない、次いで最後まで異方性エッチングを行ないメサ状の第1の金属配線3-1、3-2…を形成する。以後の工程は前述の製造方法と同様であり、改めて説明しない。

この例では、第3図(d)に示した状態から、層間絶縁膜もしくはパッシベーション膜を被覆する場合、第1、第2の金属配線の間の充填がより良く行える。又、第1の金属配線3-1、…の方が第2の金属配線4-1、…より断面積が大きくなるので、MOSトランジスタのソース・ドレイン配線のように比較的大電流を要する配線に使用

し、第2の金属配線4-1、…の方はゲート配線に使用すればよい。

〔発明の効果〕

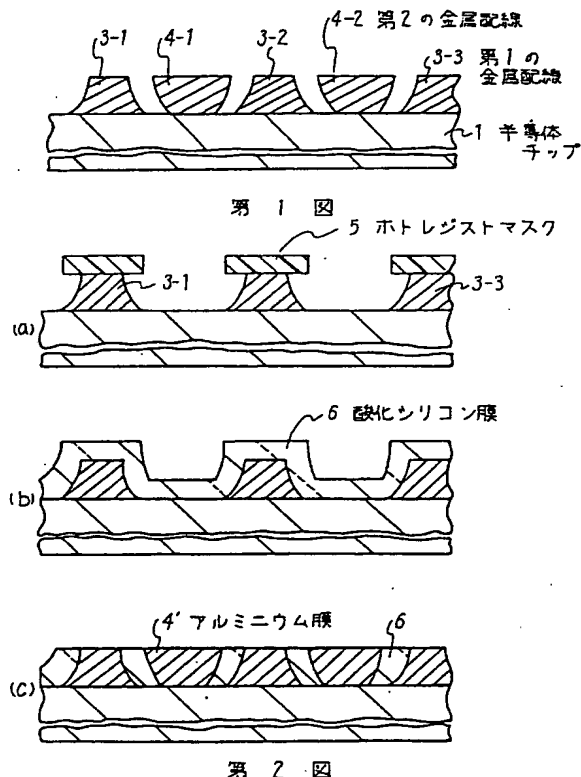
以上説明したように、本発明は、金属配線をメサ状もしくは逆メサ状にして互いに隣接して配置することにより、配線幅が断面長方形の金属配線に比べ、広くなる部分があるため、配線幅が微小になることによって起こる問題(例えばストレスマイグレーション)が解決される効果がある。

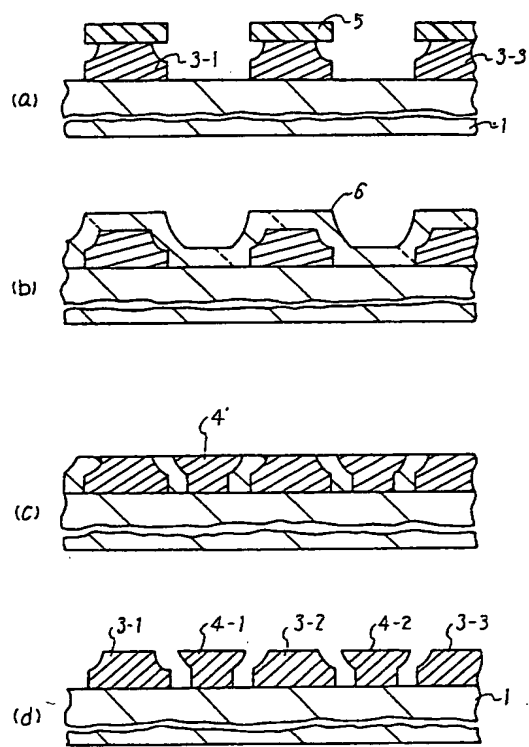
図面の簡単な説明

第1図は本発明の一実施例を示す断面図、第2図(a)～(c)及び第3図(a)～(d)はそれぞれ一実施例の製造方法及び他の製造方法を説明するための工程順に配置した半導体チップの断面図、第4図は従来例を示す断面図である。

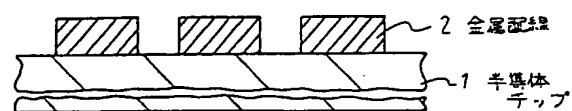
1…半導体チップ、2…金属配線、3-1、3-2…第1の金属配線、4'…アルミニウム膜、4-1、4-2…第2の金属配線、5…ホトレジストマスク、6…酸化シリコン膜。

代理人 弁理士





第 3 図



第 4 図